

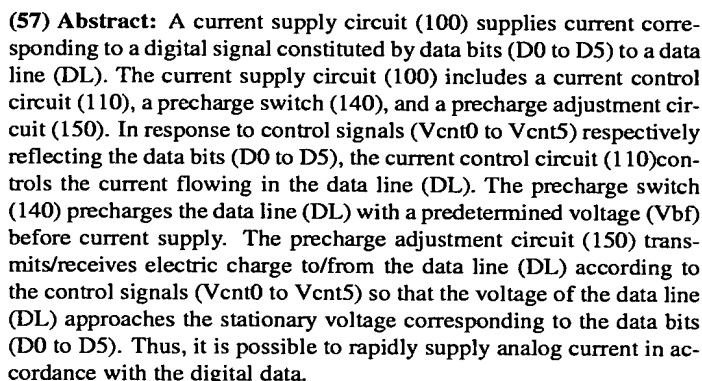


**PCT**



- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

(54) 発明の名称: 電流供給回路および電流供給回路を備える表示装置



(57) 要約: データビットD0~D5で構成されるデジタル信号に応じた電流をデータ線(DL)へ供給する電流供給回路(100)は、電流制御回路(110)と、プリチャージスイッチ(140)と、プリチャージ調整回路(150)とを含む。電流制御回路(110)は、データビット(D0~D5)をそれぞれ反映した制御信号(Vcnt0~Vcnt5)に応答して、データ線(DL)に流れる電流量を制御する。プリチャージスイッチ(140)は、電流供給前にデータ線(DL)を所定電圧(Vbf)でプリチャージする。プリチャージ調整回路(150)は、データビット(D0~D5)に対応する定常電圧へデータ線DLの電圧が近づくように、制御信号(Vcnt0~Vcnt5)に応じた電荷の授受をデータ線DLとの間で行なう。これにより、デジタルデータに応じたアナログ電流を高速に供給することが可能となる。



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,  
SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,  
TD, TG).

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

Rec'd ECTPTO

23 MAR 2005

## 電流供給回路および電流供給回路を備える表示装置

## 5 技術分野

この発明は、電流供給回路に関し、より特定的には、デジタルデータに応じたアナログ電流を供給する電流供給回路ならびに、電流に応じて発光輝度が変化する有機EL (Electro Luminescence) 等の電流駆動型発光素子を各画素に備え、当該電流供給回路から出力された電流によって階調表示を実行する表示装置に関する。

## 背景技術

フラットパネルタイプの表示装置として、各画素が電流駆動型発光素子で構成された自発光型の表示装置が注目されている。自発光型表示装置は、良好な視認性を有し、また動画表示特性にも優れている。電流駆動型発光素子としては、発光ダイオード(LED)がよく知られている。

一般に、表示装置においては、行列状に配置された複数の画素が、点順次走査や線順次走査によって順次駆動されて、表示電流の供給を受ける。そして、各画素は次に駆動されるまでの間、駆動時に供給された表示電流に応じた輝度を出力する。各画素が受ける表示電流は、階調表示を実現するために通常アナログ電流となる。このアナログ電流を、各発光素子の最大輝度および最小輝度の間レベルに設定することによって、各画素における階調表示を実行することができる。

したがって、電流駆動型発光素子を備えた表示装置においては、各画素での階調的な輝度を示す画像データに応じた表示電流を正確に生成するための電流供給回路が必要である。一般的に、画像データは、複数ビットのデジタルデータとされる。

このような表示装置において、階調表示のための表示電流（以下、「階調電流」とも称する）を供給するための電流供給回路が、たとえば特開平11-212493号公報（以下、「従来の技術」と称する）の第1図に開示されている。従来の

技術による電流供給回路は、画像データを構成する複数ビットにそれぞれ応答して選択的にオン・オフする薄膜トランジスタ（TFT）を介して、複数の定電流源を並列に接続することにより、これらの定電流源からの供給電流の和として階調電流を発生させる。

5

#### 発明の開示

しかしながら、従来の技術の電流供給回路の構成では、これらの定電流源の出力電流が加算される出力ノードの定常的な電圧は、定電流源中の電流駆動素子の特性に依存して、供給されるべき階調電流のレベルに応じて異なってくる。したがって、画像データに応じた階調電流の供給時において、当該出力ノードが階調電流に応じた定常電圧へ達するまでの過渡期間においては、階調電流は、画像データに応じたレベルに整定しない。この結果、このような構成の電流供給回路では、階調表示のための正確な階調電流を、高速に発生させることが困難であるという問題点があった。

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、デジタルデータに応じたアナログ電流を高速に供給することが可能な電流供給回路、ならびにそのような電流供給回路を用いて階調電流を供給する表示装置の構成を提供することである。

この発明に従う電流供給回路は、 $n$ ビット（ $n$ ：2以上の整数）のデジタルデータに応じた出力電流を供給する電流供給回路であって、電流供給時に、電流駆動素子を介して第1の電源ノードと電氣的に接続される電流出力ノードと、第2の電源ノードおよび電流出力ノードの間に設けられ、デジタルデータを受けて、電流供給時に第1および第2の電源ノード間に電流出力ノードを含んで形成される電流経路の電流量をデジタルデータに応じて制御するための電流制御回路と、デジタルデータを受けて、電流供給開始後に、電流出力ノードにデジタルデータに応じた電圧変化を強制的に生じさせるための電圧調整回路とを備える。

この発明の他の構成に従う電流供給回路は、 $n$ ビット（ $n$ ：2以上の整数）のデジタルデータに応じた出力電流を供給する電流供給回路であって、電流供給時に、電流駆動素子を介して第1の電源ノードと電氣的に接続される電流出力ノード

ドと、第2の電源ノードおよび電流出力ノードの間に設けられ、デジタルデータを受けて、電流供給時に第1および第2の電源ノード間に電流データ線を含んで形成される電流経路の電流量をデジタルデータに応じて制御するための電流制御回路と、デジタルデータを受けて、電流供給に先立って、電流出力ノードの電圧をデジタルデータに応じた電圧へ近づけるための電圧調整回路とを備える。

この発明に従う表示装置は、 $n$ ビット ( $n: 2$ 以上の整数)の画像データに応じた階調表示を行なう表示装置であって、画像データに応じた表示電流を供給する電流供給回路と、各々が、供給された電流に応じた輝度を発する電流駆動型発光素子と、電流駆動型発光素子に表示電流に応じた電流を供給するための画素駆動回路とを含む複数の画素回路と、電流供給回路が供給する表示電流を複数の画素回路へ伝達するための電流データ線とを備え、画素駆動回路は、表示電流の伝達を受ける所定期間に、電流データ線および第1の電源ノードの間に接続される電流駆動素子を有し、かつ、所定期間以外では所定期間に伝達された表示電流に応じた電流を電流駆動型発光素子へ供給し、電流供給回路は、第2の電源ノードおよび電流データ線の間に設けられ、画像データを受けて、表示電流の供給時に第1および第2の電源ノード間に電流データ線を含んで形成される電流経路の電流量を画像データに応じて制御するための電流制御回路と、画像データを受けて、電流データ線に画像データに応じた電圧変化を強制的に生じさせるための電圧調整回路とを含む。

本発明に従う電流供給回路は、デジタルデータに応じた電流の開始直後からあるいは開始前において、当該デジタルデータに応じて電流が出力される出力ノードの電圧を強制的に変化させることができるので、所望レベルの電流を速やかに生成することができる。

特に、このような電流供給回路を用いて、表示装置の各画素へ供給される階調表示のための階調電流を発生することにより、階調電流の生成を高速化して、表示装置における表示品位の向上や低消費電力化を図ることができる。また、階調電流が微小であり、プリチャージ回路が無いと充電に長い時間を要するような場合でも、当該出力ノードの電圧が短時間で定常状態に達するため、画像1階調当たりの電流値を小さくすることができる。つまり、データビット数が多くなって

も、精度の高い階調表示が可能となり、高品位画質が実現できる。

#### 図面の簡単な説明

図 1 は、本発明に従う電流供給回路を備えた表示装置の全体構成を示すブロック図である。

図 2 は、図 1 に示された画素回路の構成を示す回路図である。

図 3 は、実施の形態 1 に従う電流供給回路の構成を示す回路図である。

図 4 は、実施の形態 1 に従う電流供給回路の具体的素子配列を示す回路図である。

図 5 は、実施の形態 1 に従う電流供給回路の動作を示す波形図である。

図 6 は、実施の形態 1 に従う電流供給回路による電流供給時におけるデータ線電圧の推移を説明する概念図である。

図 7 は、本発明に従う電流供給回路におけるプリチャージ調整回路による効果を説明する概念図である。

図 8 は、実施の形態 2 に従う電流供給回路の構成を示す回路図である。

図 9 は、実施の形態 2 に従う電流供給回路の動作を説明する波形図である。

#### 発明を実施するための最良の形態

以下において、図面を参照して本発明の実施の形態について詳細に説明する。

なお、図中における同一符号は同一または相当部分を示すものとする。

##### (実施の形態 1)

以下において、図面を参照して本発明の実施の形態について詳細に説明する。

なお、図中における同一符号は同一または相当部分を示すものとする。

##### [実施の形態 1]

図 1 は、本発明に従う電流供給回路を備えた表示装置の全体構成を示すブロック図である。

図 1 を参照して、表示装置 10 は、複数の画素回路 20 が行列状に配置された表示パネル部 30 と、スキャン回路 40 と、階調電流発生部 50 とを備える。

なお、以下においては、表示装置 10 は、データビット D0～D5 から構成さ

れる6ビットの画像データに応じた画像を表示するものとする。すなわち、各画素において、6ビットの画像データに応じて $2^6=64$ 段階の階調表示が実行される。

各画素回路20は、後ほど詳細に説明するように、電流駆動型発光素子（たとえばEL素子や発光ダイオード）を有する。表示パネル部30において、複数の画素回路20は、行列状に配置される。画素の行（以下、単に「画素行」とも称する）にそれぞれ対応して走査線SLが配置され、画素の列（以下、単に「画素列」とも称する）にそれぞれ対応してデータ線DLが配置される。

なお、各画素行において、3つの画素回路20ごとに1つのカラー表示単位31を構成して、各カラー表示単位31において、3つの画素回路20によってR（赤）、G（緑）およびB（青）をそれぞれ表示することにより、カラー画像を表示することができる。

スキャン回路40は、所定の走査周期を示すクロックCLKVに応答して、画素行を順に選択する。スキャン回路40は、選択行に対応する走査線SLを選択状態へ活性化し、残りの走査線SLを非選択状態へ非活性化する。したがって、各走査線SLは、一定周期で順番に選択状態へ活性化される。

階調電流発生部50は、シフトレジスタ52と、ラッチ回路54と、電流供給回路100とを含む。

シフトレジスタ52には、所定周期を示すクロックCLKHに応答して、画素列を順に選択するための制御信号およびそれに付随したタイミング信号群を含む制御信号群53を生成する。

ラッチ回路54は、シフトレジスタ52から出力された制御信号群53に含まれるラッチ信号に応答して、R（赤）、G（緑）、B（青）の各々に対応するデータビットD0～D5を取込んで保持する。さらに、ラッチ回路54は、保持するデータビットD0～D5に応答して、電流供給回路100の動作を制御するための制御信号Vcnt0～Vcnt5を生成する。図1では、ラッチ回路54が1つのカラー表示単位31を構成する3つの画素列ごとに配置される構成を例示しているが、このようなラッチ回路を各画素列ごとあるいはより多数の画素列ごとに設ける構成としてもよい。

なお、R（赤）、G（緑）およびB（青）をそれぞれ表示する画素回路20において、各々の構成および動作は同一であるので、以下においては表示色を区別することなく総括的に、画素の構成および動作について説明することとする。

電流供給回路100は、各データ線DLに対応して設けられ、プリチャージタイミングを規定する制御信号Vstgおよびラッチ回路54からの制御信号Vcnt0～Vcnt5に応答して、データビットD0～D5に応じた階調電流を対応のデータ線DLへ供給する。

なお、以下では、64（2<sup>6</sup>）段階の階調表示にそれぞれ対応する階調電流を、電流I0～I63でそれぞれ示すこととする。また、隣り合う階調間での電流レベル差は互いに等しいものとする。すなわち、 $I_0 = 0$ であり、かつ、 $I_{63} - I_{62} = I_{62} - I_{61} = \dots = I_3 - I_2 = I_2 - I_1 = I_1 - I_0 = I_1$ であるものとする。

なお、図1には、スキャン回路40および階調電流発生部50が表示パネル部30と一体的に形成された表示装置の構成を例示したが、これらの回路部分については、表示パネル部30の外部回路として設けることも可能である。

図2は、図1に示された画素回路20の構成を示す回路図である。図2には、一例として、電流駆動型の発光素子として有機発光ダイオード（OLED）を備えた電流プログラム型の画素回路構成が示される。

図2を参照して、画素回路20は、有機発光ダイオード21と、画素駆動回路22とを含む。画素駆動回路22は、データ線DLを介して電流供給回路100から階調電流を伝達され、伝達された階調電流に応じた電流を有機発光ダイオード21へ供給する。画素駆動回路22は、p型TFT23、26、27と、n型TFT24と、キャパシタ25とを有する。

電流駆動素子であるp型TFT23は、電源電圧Vddを供給する電源ノード11と接続されるソースと、ノードNaに接続されるドレインと、ノードNbと接続されるゲートとを有する。キャパシタ25は、p型TFT23のソース・ゲート間電圧（以下、「ゲート電圧」とも称する）を保持するように、電源ノード11およびノードNb間に接続される。

p型TFT26は、ノードNaおよびNb間の接続を制御するスイッチ素子と



して設けられ、p型TFT27は、データ線DLおよびノードNa間の接続を制御するスイッチ素子として設けられる。n型TFT24は、ノードNaおよび有機発光ダイオード21間の接続を制御するスイッチ素子として設けられる。n型TFT24およびp型TFT26、27の各ゲートは、対応の走査線SLと接続される。

有機発光ダイオード21は、n型TFT24および所定電圧Vss（たとえば接地電圧）を供給する電源ノード12との間に接続される。すなわち、電源ノード12は、共通電極に相当する。図2においては、有機発光ダイオード21のカソードが共通電極と接続される「カソードコモン構成」が代表的に示される。有機発光ダイオード21は、供給された電流に応じた輝度を出力する。

本実施の形態では、画素回路中において、p型TFT26および27がターンオンする状態、すなわち走査線SLが論理ローレベル（以下、単に「Lレベル」と称する）である状態を選択状態とし、n型TFT24がターンオンする状態、すなわち走査線SLが論理ハイレベル（以下、単に「Hレベル」と称する）である状態を非選択状態とする。

対応の走査線SLが選択状態（Lレベル）に設定された画素では、p型TFT26および27がターンオンするため、電源ノード11（電源電圧Vdd）からp型TFT23、27およびデータ線DLを介して電流供給回路100へ至る電流経路が形成され、電流供給回路100によって制御された階調電流が当該電流経路に流される。

このとき、画素駆動回路22では、電流駆動素子であるp型TFT23のドレインおよびゲート間がp型TFT26によって接続され、p型TFT23はダイオード接続される。さらに、電流駆動素子が階調電流を流すときの状態、すなわちp型TFT23のゲート電圧が、キャパシタ25によって保持される。このように、走査線SLの選択期間において、画像データに応じた階調電流が画素駆動回路22によってプログラムされる。

その後、走査対象が切換わり、対応の走査線SLが非選択状態（Hレベル）に設定されると、p型TFT26、27はターンオフされ、n型TFT24がターンオンされる。これにより、画素回路20では、電源ノード11（電源電圧Vd

d) から p 型 T F T 2 3、n 型 T F T 2 4 および有機発光ダイオード 2 1 を介して電源ノード 1 2 (所定電圧  $V_{ss}$ ) へ至る電流経路が形成され、当該電流経路には、p 型 T F T 2 3 のゲート電圧に応じた電流が流される。この結果、走査線 S L の選択期間にプログラムされた階調電流を、走査線 S L の非選択期間においても有機発光ダイオード 2 1 へ継続的に供給することが可能となる。したがって、各画素回路の表示輝度は、走査線 S L の選択に対応して更新可能であり、走査線 S L の非選択期間においても選択時に設定されたレベルに維持される。

図 3 は、実施の形態 1 に従う電流供給回路 1 0 0 の構成を示す回路図である。

図 3 を参照して、電流供給回路 1 0 0 は、電流制御回路 1 1 0 と、プリチャージスイッチ 1 4 0 と、プリチャージ調整回路 1 5 0 とを含む。電流供給回路 1 0 0 は、電流出力ノードに相当するデータ線 D L へ、データビット D 0 ~ D 5 から構成されるデジタルデータに応じたアナログ電流である階調電流を供給する。

電流制御回路 1 1 0 は、データビット D 0 ~ D 5 にそれぞれ対応して設けられた、定電流源 1 2 0 ~ 1 2 5 およびスイッチ素子 1 3 0 ~ 1 3 5 を有する。スイッチ素子 1 3 0 ~ 1 3 5 は、定電流源 1 2 0 ~ 1 2 5 とそれぞれ直列に、データ線 D L および電源ノード 1 2 の間に接続される。定電流源 1 2 0 ~ 1 2 5 が接続される電源ノード 1 2 は、必ずしも共通電極と同一ではないが、共通電極と同一の所定電圧  $V_{ss}$  を供給するノードとして、図 2 中の電源ノード 1 2 と同一符号で示される。あるいは、図 3 に示された電源ノード 1 2 を所定電圧  $V_{ss}$  以外の電圧を供給する他の電源ノードに置き換えることも可能である。

定電流源 1 2 0 ~ 1 2 5 は、最下位桁 (LSB) のデータビット D 0 から最上位桁 (MSB) のデータビット D 5 へそれぞれ対応して重み付けされた定電流を生成する。具体的には、定電流源 1 2 0 は電流  $I_1$  を生成し、定電流源 1 2 1 は電流  $I_2$  を生成し、定電流源 1 2 2 は電流  $I_4$  を生成し、定電流源 1 2 3 は電流  $I_8$  を生成し、定電流源 1 2 4 は電流  $I_{16}$  を生成し、定電流源 1 2 5 は電流  $I_{32}$  を生成する。

スイッチ素子 1 3 0 ~ 1 3 5 は、制御信号  $V_{cnt0} \sim V_{cnt5}$  にそれぞれ応答してオン・オフする。スイッチ素子 1 3 0 ~ 1 3 5 の各々は、対応の制御信号  $V_{cnt}$  (制御信号  $V_{cnt0} \sim V_{cnt5}$  を総括的に表記したもの) が H レ

ベルのときにオンする一方で、Lレベルのときにオフする。制御信号 $V_{cnt0} \sim V_{cnt5}$ は、階調電流の供給時に、対応のデータビット $D0 \sim D5$ が“1”であるときにHレベルに設定される一方で、“0”のときにLレベルに設定される。

- 5       したがって、データビット $D0 \sim D5$ の組合せに応じて、対応のデータビットが“1”である定電流源によって画素回路20側で電源ノード11（電源電圧 $V_{dd}$ ）と電氣的に接続されたデータ線DLと電源ノード12（所定電圧 $V_{ss}$ ）との間に、データビット $D0 \sim D5$ に応じた電流を流すことができる。すなわち、  
10        $(D5, D4, D3, D2, D1, D0) = (0, 0, 0, 0, 0, 0) \sim (1, 1, 1, 1, 1, 1)$ にそれぞれ対応して、電流 $I0, I1 \sim I63$ の64段階の階調電流をデータ線DLへ供給することができる。

階調電流の供給時におけるデータ線DLの定常電圧 $V_{st}$ は、当該階調電流をデータ線DLに流すときの、電流駆動素子（図2におけるp型TFT23）の電圧-電流特性に応じて決まる。言換えれば、階調電流の供給時において、データ  
15       線DLの電圧（以下、単に「データ線電圧」と称する）が階調電流に対応した定常電圧 $V_{st}$ に整定するまでの過渡期間では、データ線DLおよび画素回路20へ供給される階調電流は、データビット $D0 \sim D5$ に正確に対応するレベルには未だ整定していない。

プリチャージスイッチ140は、階調電流の供給に先立って、制御信号 $V_{stg}$   
20        $V_{stg}$ に応答してオンすることにより、データ線DLを所定電圧（プリチャージ電圧） $V_{bf}$ にプリチャージする。たとえば、プリチャージスイッチ140は、所定電圧 $V_{bf}$ を供給するノードとデータ線DLとの間に接続され、ゲートに制御信号 $V_{stg}$ を受けるn型TFTで構成することができる。

プリチャージ調整回路150は、スイッチ素子160～165、170～17  
25       5およびキャパシタ $C0 \sim C5$ を有する。キャパシタ $C0 \sim C5$ は、ノード $N0 \sim N5$ と所定電圧との間にそれぞれ接続される。

スイッチ素子160～165は、充電電圧 $V0 \sim V5$ とノード $N0 \sim N5$ との間にそれぞれ設けられ、各々がプリチャージスイッチ140と共通の制御信号 $V_{stg}$ に  
       $V_{stg}$ に応答してオン・オフする。

スイッチ素子170～175は、ノードN0～N5とデータ線DLとの間にそれぞれ設けられ、スイッチ素子130～135と共通の制御信号Vcnt0～Vcnt5にそれぞれ応答してオン・オフする。スイッチ素子160～165, 170～175の各々は、代表的にはn型TFTで構成される。

5 すなわち、スイッチ素子160, 170およびキャパシタC0は、データビットD0に対応するプリチャージ調整ユニットを構成している。同様に、スイッチ素子161～165, 171～175およびキャパシタC1～C5によって、データビットD1～D5にそれぞれ対応するプリチャージ調整ユニットが構成される。

10 図4には、図3に示した電流制御回路およびプリチャージ調整回路の具体的な素子配置について、データビットD0に対応する回路部分が代表的に例示される。

図4を参照して、スイッチ素子130、160および170はすべてn型TFTで構成されているが、各スイッチ素子は、n型TFTおよびp型TFTのいじれで構成してもよい。すなわち、スイッチ素子130、160および170に用  
15 いるTFT素子の導電型の組合わせを(素子130, 素子160, 素子170) = (p型, p型, p型)、(n型, p型, n型)あるいは、(p型, n型, p型)としても良い。

図4に例示された電流制御回路およびプリチャージ調整回路の素子配置は、D0以外のその他のデータビットに対応する回路部分についても同様である。

20 電流供給回路100は各データ線DLに対応して配置されるため、表示装置の解像度が高くなり表示装置の列幅が減少すると、一般的に回路の配置が困難となる。しかしながら、図4に示した素子配置とすれば、共通のデータビット(D0)に対応する、定電流源120、キャパシタC0およびスイッチング素子130, 160, 170を列方向に一行に整列させ、かつ、スイッチ素子130, 160, 25 170の電流導通方向をデータ線DLと平行にしたため、回路幅Wが小さくなり回路集積化に有利である。

次に、電流供給回路100の動作を、図5を用いて説明する。

図5を参照して、電流供給期間が開始される時刻t1以前において、制御信号Vcnt0～Vcnt5は、データビットD0～D5のレベルにかかわらず、L

レベルに設定される。

また、電流供給期間に先立って設けられる容量充電期間（時刻  $t_0 \sim t_1$  間）では、制御信号  $V_{stg}$  が H レベルに設定されて、スイッチ素子 140, 160 ~ 165 の各々がオンされる。したがって、容量充電期間においては、データ線 DL が所定電圧  $V_{bf}$  に充電される一方で、キャパシタ  $C_0 \sim C_5$  は、充電電圧  $V_0 \sim V_5$  によってそれぞれ充電される。

時刻  $t_1$  において、選択行の画素に対する電流供給を行なうために、選択行の走査線 SL が非選択状態（H レベル）から選択状態（L レベル）に遷移する。走査線 SL は、走査対象が切換わる時刻  $t_2$  までの間、選択状態に維持される。

選択行の走査線 SL が選択状態に設定されると、既に説明したように、データ線 DL は、選択行の画素回路 20 によって、電流駆動素子（p 型 TFT 23）を介して電源ノード 11（電源電圧  $V_{dd}$ ）と電氣的に接続される。

電流供給期間（時刻  $t_1 \sim t_2$ ）において、制御信号  $V_{cnt0} \sim V_{cnt5}$  は、データビット  $D_0 \sim D_5$  にそれぞれ対応したレベルに設定される。図 5 においては、データビット  $D_0 \sim D_5$  が、 $(D_5, D_4, D_3, D_2, D_1, D_0) = (1, 1, 0, 0, 1, 1)$  である場合が例示される。

これにより、対応のデータビットが“1”であるスイッチ素子 130, 131, 134, 135 がオンして、定電流源 120, 121, 124, 125 がデータ線 DL と接続される。したがって、データ線 DL を流れる電流、すなわち、電流供給回路 100 が供給する階調電流は、定電流源 120, 121, 124, 125 のそれぞれの供給電流の和、すなわち、 $I_1 + I_2 + I_{16} + I_{32} = I_{51}$  に設定される。

このとき、データ線電圧は定常的には電流  $I_{51}$  に対応する定常電圧に整定していき、データ線電圧が当該定常電圧に達した時点で、データ線 DL を流れる階調電流も画像データに応じた電流  $I_{51}$  に整定する。データ線 DL の定常電圧は、データビット  $D_0 \sim D_5$  に応じて異なる。定常電圧のレベルは、データビット  $D_0 \sim D_5$  に対応して定められる階調電流のレベルと、電流駆動素子の特性とから予め一意的に求めることができる。

制御信号  $V_{cnt0} \sim V_{cnt5}$  に応答して、スイッチ素子 130, 131,

1 3 4, 1 3 5 と並行して、スイッチ素子 1 7 0, 1 7 1, 1 7 4, 1 7 5 もオンする。したがって、電流供給期間の開始時より、データ線 D L には、対応のデータビットが “1” であるキャパシタ C 0, C 1, C 4, C 5 が接続される。これにより、上述の電流供給動作と並行して、データ線 D L とキャパシタ C 0, C 1, C 4, C 5 との間で電荷の授受が行なわれる。

プリチャージ調整回路 1 5 0 において、データ線 D L およびキャパシタ C 0 ~ C 5 の間の接続は、データビット D 0 ~ D 5 に応じて制御されるので、プリチャージ調整回路 1 5 0 は、データビット D 0 ~ D 5 に応じた電圧変化をデータ線 D L に強制的に生じさせることができる。後程詳細に説明するように、プリチャージ調整回路 1 5 0 およびデータ線 D L の間での電荷の授受によって、データ線電圧がデータビット D 0 ~ D 5 に対応するデータ線 D L の定常電圧に近づくように、プリチャージ調整回路 1 5 0 は構成される。

図 6 は、実施の形態 1 に従う電流供給回路による電流供給時におけるデータ線電圧の推移を説明する概念図である。

図 6 には、本発明に従う電流供給回路 1 0 0 による電流供給時でのデータ線電圧の推移が符号 2 0 0 で示される。一方、比較例として、電流供給回路 1 0 0 からプリチャージ調整回路 1 5 0 の配置を省略して、データ線 D L を所定電圧にプリチャージした後に階調電流を供給する場合のデータ線電圧の推移を符号 2 1 0 で示している。

図 6 を参照して、本発明の電流供給回路 1 0 0 では、時刻  $t_1$  における電流供給開始直後より、データ線 D L とプリチャージ調整回路 1 5 0 との間でデータビット D 0 ~ D 5 に応じた電荷の授受が実行されて、データ線電圧をプリチャージ電圧から定常電圧  $V_{st}$  へ近づけるような電圧変化が強制的に生じる。これにより、時刻  $t_1$  から整定時間  $T_{s1}$  経過後にデータ線電圧が定常電圧  $V_{st}$  に達し、以後、正確な階調電流をデータ線 D L に供給することができる。

一方、プリチャージ調整回路 1 5 0 を具備しない構成では、データビット D 0 ~ D 5 に応じてデータ線 D L と接続された定電流源による放電動作のみによってデータ線電圧は定常電圧  $V_{st}$  へ近づいていく。したがって、この場合における整定時間  $T_{s2}$  は、電流供給回路 1 0 0 での整定時間  $T_{s1}$  よりも長くなる。

すなわち、本発明の電流供給回路 100 を用いることによって、デジタルデータに応じたレベルのアナログ電流を、速やかに生成することができる。このような電流供給回路を用いて、各画素へ供給される階調表示のための階調電流を発生することにより、階調電流の生成を高速化して表示装置における表示品位の向上や低消費電力化を図ることができる。

また、階調電流が微小であり、プリチャージ回路が無いと充電に長い時間を要するような場合でも、データ線電圧が短時間で定常状態に達するため、画像 1 階調当たりの電流値を小さくすることができる。つまり、データビット数が多くなっても、精度の高い階調表示が可能となり、高品位画質が実現できる。

次に、プリチャージ調整回路 150 の特性を決定づける、所定電圧  $V_{bf}$ 、 $V_0 \sim V_5$  およびキャパシタ  $C_0 \sim C_5$  の容量値の設計手法について詳細に説明する。

電流供給期間、すなわち画素回路への電流書込時には、画素回路 20 内の p 型 TFT 23（電流駆動素子）は、ダイオード接続された状態で階調電流を流す。ゲートおよびドレイン間を接続し、ソースを電源電圧  $V_{dd}$  に接続した p 型トランジスタのドレイン電流  $I_d$  は、ドレイン電圧  $V_d$  の関数として、下記（1）式のように示される。なお、（1）式において、ドレイン電流  $I_d [V_d]$  は、ドレイン電圧  $V_d$  におけるドレイン電流  $I_d$  を示すものとする。

$$I_d [V_d] = (\beta / 2) \cdot (V_{dd} - V_d - V_{th})^2 \quad \dots (1)$$

ただし、 $\beta = (\mu \cdot W \cdot C_{ox}) / L$ 、 $\beta$ ：電流係数、 $\mu$ ：平均移動度、 $W$ ：ゲートチャネル幅、 $C_{ox}$ ：ゲート容量（単位面積当たり）、 $L$ ：ゲートチャネル長、 $V_{th}$ ：しきい値電圧。

また、電流駆動素子が、ソースを接地電圧（0 V）と接続された n 型トランジスタである場合には、（1）式に代えて下記（2）式に従ってドレイン電流が求められる。

$$I_d [V_d] = (\beta / 2) \cdot (V_d - V_{th})^2 \quad \dots (2)$$

したがって、（1）式または（2）式から、ドレイン電流  $I_d$  すなわち階調電流のレベルに応じて、ドレイン電圧  $V_d$  すなわちデータ線 DL の定常電圧が一意的に求められる。

プリチャージ調整回路 150 によって最適な電荷の授受を行なうための条件は、この定常電圧  $V_{st}$  を考慮した電荷保存則を解くことによって求めることができる。すなわち、所定電圧  $V_{bf}$ 、 $V_0 \sim V_5$  およびキャパシタ  $C_0 \sim C_5$  の容量値は、データ線の定常電圧を考慮した、スイッチ素子 170～175 のオン前後における電荷保存則とを併せて解くことによって求めることができる。

データビット  $D_0 \sim D_5$  に応答したスイッチ素子 170～175 のオン後、すなわちプリチャージ調整回路 150 動作後のデータ線電圧を  $V_{af}$  とすると、スイッチ素子 170～175 のオン前後における、プリチャージ調整回路 150 およびデータ線 DL の間における電荷保存則は、下記 (3) 式で示される。なお、以下では、キャパシタ  $C_0 \sim C_5$  の容量値についても、 $C_0 \sim C_5$  と表記するものとする。

$$(C_{sg} + \sum C_k) \cdot V_{af} = C_{sg} \cdot V_{bf} + \sum (C_k \cdot V_k) \quad \dots (3)$$

なお、 $C_{sg}$  : データ線容量、 $k$  :  $k=0 \sim 5$  のうち  $D_k = "1"$  である  $k$ 。

階調電流を速やかに整定させるためには、電圧  $V_{af}$  と上記 (1) 式または (2) 式から求められた定常電圧  $V_{st}$  とが同一であることが望ましい。したがって、データビット  $D_0 \sim D_5$  の 64 通りの組合せのそれぞれにおいて、定常電圧  $V_{st}$  を  $V_{af}$  に代入して得られた (3) 式を連立させて解くことにより、電圧  $V_{bf}$ 、 $V_0 \sim V_5$  および容量値  $C_0 \sim C_5$  を求めることができる。

なお、ここでは、一設計例として、 $C_{sg} = 2 \text{ pF}$  (ピコファラッド)、 $V_5 = 1 \text{ V}$  と仮定し、電源電圧  $V_{dd} = 8.5 \text{ V}$ 、電流係数  $(\beta/2) = 1.9 \times 10^{-7}$  ( $1.9 \text{ E}-7$  と表記する) とした。

未知数が 12 個であるので、上下 64 通りのうち、代表的に 12 通りについて、(4)～(15) 式を連立させて求めればよい。

なお、(4)～(15) 式において、電圧  $V_d [I_d = x]$  は、ドレイン電流 (階調電流)  $I_d = x$  におけるドレイン電圧  $V_d$  (すなわち定常電圧  $V_{st}$ ) を示すものとする。電圧  $V_d [I_d = x]$  は、上記 (1) 式より求めることができる。

$$(2 + C_5) \times V_d [I_d = I_{32}] = 2 \times V_{bf} + C_5 \times V_5 \quad \dots (4)$$

$$(2 + C_4) \times V_d [I_d = I_{16}] = 2 \times V_{bf} + C_4 \times V_4 \quad \dots (5)$$

$$(2 + C_3) \times V_d [I_d = I_8] = 2 \times V_{bf} + C_3 \times V_3 \quad \dots (6)$$



$$(2+C2) \times V_d [I_d=I_4] = 2 \times V_{bf} + C2 \times V_2 \quad \dots (7)$$

$$(2+C1) \times V_d [I_d=I_2] = 2 \times V_{bf} + C1 \times V_1 \quad \dots (8)$$

$$(2+C0) \times V_d [I_d=I_1] = 2 \times V_{bf} + C0 \times V_0 \quad \dots (9)$$

$$(2+C5+C4) \times V_d [I_d=I_{48}] = 2 \times V_{bf} + C5 \times V_5 + C4 \times V_4 \quad \dots (10)$$

$$(2+C4+C3) \times V_d [I_d=I_{24}] = 2 \times V_{bf} + C4 \times V_4 + C3 \times V_3 \quad \dots (11)$$

$$(2+C3+C2) \times V_d [I_d=I_{12}] = 2 \times V_{bf} + C3 \times V_3 + C2 \times V_2 \quad \dots (12)$$

$$(2+C2+C1) \times V_d [I_d=I_6] = 2 \times V_{bf} + C2 \times V_2 + C1 \times V_1 \quad \dots (13)$$

$$(2+C1+C0) \times V_d [I_d=I_3] = 2 \times V_{bf} + C1 \times V_1 + C0 \times V_0 \quad \dots (14)$$

$$(2+C0+C5) \times V_d [I_d=I_{33}] = 2 \times V_{bf} + C0 \times V_0 + C5 \times V_5 \quad \dots (15)$$

たとえば、 $I_{32} = 1.0 \text{E}-6$  ( $1.0 \mu\text{A}$ :マイクロアンペア) とすると、  
(4) ~ (15) 式を連立させることによって以下の結果が得られる。

$V_{bf} = 5.27 \text{V}$ ,  $V_0 = 1.96 \text{V}$ ,  $V_1 = 3.54 \text{V}$ ,  $V_2 = 2.89 \text{V}$ ,  $V_3 = 2.57 \text{V}$ ,  $V_4 = -0.29 \text{V}$ , ( $V_5 = 1.0 \text{V}$ )。

また、 $C_0 = 0.11 \text{pF}$ ,  $C_1 = 0.50 \text{pF}$ ,  $C_2 = 0.65 \text{pF}$ ,  $C_3 = 1.03 \text{pF}$ ,  $C_4 = 0.67 \text{pF}$ ,  $C_5 = 1.87 \text{pF}$ 。

図7は、本発明に従う電流供給回路におけるプリチャージ調整回路による効果を説明する概念図である。

図7を参照して、横軸は、データ線DLの電流、すなわち階調電流を示し、縦軸は、データ線電圧を示している。特性線220は、上記(1)式によって示された、画素回路中の電流駆動素子(p型TFT23)のドレイン電圧(データ線電圧)およびドレイン電流(データ線電流:階調電流)の関係を示すものである。

一方、データビットD0~D5に対応して段階的に設定される階調電流のそれぞれのレベルにおいて、上記のように求められた容量値C0~C5および電圧V

b f,  $V_0 \sim V_5$ を用いて、上記(3)式によって、それぞれの階調電流に対応して求められた電圧 $V_{af}$ を特性点230に示している。すなわち、特性点230によって示されるデータ線電圧は、プリチャージ調整回路150による電荷の授受によって到達する電圧に相当する。

5 特性線220と、プロットされた特性点230の比較から理解されるように、上述したように設計したプリチャージ調整回路150によって、電流供給開始後速やかに、データ線電圧を定常電圧近傍に近づけることができる。この結果、図6を用いて説明したように、データビットD0～D5に応じたレベルの階調電流をデータ線DLに高速に生じさせることが可能となる。

10 [実施の形態2]

図8は、実施の形態2に従う電流供給回路の構成を示す回路図である。

以下の説明で明らかになるように、実施の形態2に従う電流供給回路100#は、実施の形態1に従う電流供給回路100と比較して、プリチャージ調整回路150の動作タイミングが異なるが、その他の部分の構成および基本的な動作は、  
15 電流供給回路100と同様である。したがって、図1に示した構成において、電流供給回路100に代えて図8の電流供給回路100#を適用することによっても、同様の効果を有する表示装置を構成することができる。

図8を参照して、実施の形態2に従う電流供給回路100#は、図3に示した実施の形態1に従う電流供給回路100と比較して、スイッチ素子170～175のオン・オフを制御する制御信号 $V_{cnt0}\# \sim V_{cnt5}\#$ と、スイッチ素子130～135のオン・オフを制御する制御信号 $V_{cnt0} \sim V_{cnt5}$ とが独立に設定される点異なる。その他の部分の構成については、図3に示した電流供給回路100と同様であるので詳細な説明は繰返さない。

図9は、実施の形態2に従う電流供給回路の動作を説明する波形図である。

25 図9を参照して、実施の形態2に従う電流供給回路100#においては、制御信号 $V_{cnt0} \sim V_{cnt5}$ は、図5に示したのと同様に、電流供給が開始される時刻 $t_1$ までの間Lレベルに設定される一方で、電流供給期間には、対応のデータビットD0～D5にそれぞれ応じたレベルに設定される。一方、容量充電期間は、時刻 $t_1$ 以前の時刻 $t_a$ において終了される。

したがって、制御信号  $V_{stg}$  は、時刻  $t_0 \sim t_a$  までの間 H レベルに設定され、時刻  $t_a$  後には L レベルに設定される。この結果、時刻  $t_a$  においては、プリチャージスイッチ 140 がオフされ、キャパシタ充電用のスイッチ素子 160 ～ 165 もオフされることになる。

5      時刻  $t_a$  より、制御信号  $V_{cnt0\#} \sim V_{cnt5\#}$  は、データビット  $D_0 \sim D_5$  にそれぞれ対応するレベルに設定され、時刻  $t_2$  までこれらのレベルは維持される。すなわち、制御信号  $V_{cnt0\#} \sim V_{cnt5\#}$  は、制御信号  $V_{cnt0} \sim V_{cnt5}$  と同じレベルへ、制御信号  $V_{cnt0} \sim V_{cnt5}$  よりも早く設定される信号である。

10      この結果、電流供給が開始される時刻  $t_1$  以前の時刻  $t_a \sim t_1$  において、データ線電圧をデータビット  $D_0 \sim D_5$  に対応した階調電流供給時の定常電圧へ予め近づけることができる。その状態で、電流供給が開始されるので、実施の形態 2 に従う構成によっても、実施の形態 1 に従う電流供給回路と同様に、階調電流を高速に生成することが可能となる。

15      なお、実施の形態 1 および 2 に示した制御信号  $V_{stg}$ ,  $V_{cnt0} \sim V_{cnt5}$ ,  $V_{cnt0\#} \sim V_{cnt5\#}$  については、シフトレジスタ 52 によって、画素列を順次選択するためのクロック  $CLKH$  を適宜遅延させたタイミング信号を制御信号群 53 として発生させて、かつ、ラッチ回路 54 において、データビット  $D_0 \sim D_5$  および当該制御信号群 53 の論理演算を行なうことによって得る  
20      ことができる。

以上本発明においては、データビット  $D_0 \sim D_5$  から構成される 6 ビットのデジタルデータに応じた階調表示を各画素で実行する構成について説明したが、デジタルデータのビット数はこのような場合に限定されず、定電流回路に含まれる定電流源 120 ～ 125 の個数およびプリチャージ調整回路 150 中の充電キャ  
25      パシタ  $C_0 \sim C_5$  をビット数に応じた個数を適宜設けることにより、任意のビット数に対して本発明の電流供給回路を適用することができる。

また、図 2 に示した画素の構成例は代表例にすぎず、電流書込期間中に、データ線  $DL$  と電気的に接続されて階調電流を流す電流駆動素子を含む任意の構成の画素駆動回路および電流駆動型発光素子を含む画素を備える表示装置について、

本発明を適用することが可能である。

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

5

#### 産業上の利用可能性

各画素が電流駆動型発光素子で構成された自発光型の表示装置を始めとするデジタルデータに応じた電流供給回路を含む各種の機器について、本発明を適用できる。

10

## 請求の範囲

1.  $n$ ビット ( $n$ : 2以上の整数) のデジタルデータ ( $D0-D5$ ) に応じた出力電流を供給する電流供給回路 (100) であって、

5 電流供給時に、電流駆動素子 (23) を介して第1の電源ノード (11) と電氣的に接続される電流出力ノード (DL) と、

第2の電源ノード (12) および前記電流出力ノードの間に設けられ、前記デジタルデータを受けて、前記電流供給時に前記第1および第2の電源ノード間に前記電流出力ノードを含んで形成される電流経路の電流量を前記デジタルデータ  
10 に応じて制御するための電流制御回路 (110) と、

前記デジタルデータを受けて、前記電流供給開始後に、前記電流出力ノードに前記デジタルデータに応じた電圧変化を強制的に生じさせるための電圧調整回路 (140, 150) とを備える、電流供給回路。

2. 前記電流駆動素子は、前記第1の電源ノード (11) および前記電流出力ノード (DL) とそれぞれ電氣的に接続されたソースおよびドレインを有する電  
15 界効果型トランジスタ (23) を含み、

前記電界効果型トランジスタのゲートおよびドレイン間は、前記電流供給時に電氣的に接続される、請求の範囲第1項に記載の電流供給回路。

3. 前記電流供給時において、前記電流出力ノード (DL) の電圧は、前記電  
20 流駆動素子 (23) の特性に依存して、前記出力電流のレベルに応じた定常電圧 ( $V_{st}$ ) へ整定し、

前記電圧調整回路 (140, 150) は、前記デジタルデータ ( $D0-D5$ ) に応じて、前記電流出力ノードの電圧を前記定常電圧へ近づけるように前記電流出力ノード (DL) との間で電荷の授受を行なう、請求の範囲第1項に記載の電  
25 流供給回路。

4. 前記電圧調整回路 (140, 150) は、

前記出力電流の供給に先立って、前記電流出力ノード (DL) を所定電圧 ( $V_{bf}$ ) にプリチャージするプリチャージ回路 (140) と、

前記電流供給開始時より、前記電流出力ノードとの間で前記デジタルデータ ( $D$

0-D 5) に応じた電荷の授受を行なうプリチャージ調整回路 (150) とを含む、請求の範囲第1項に記載の電流供給回路。

5. 前記プリチャージ調整回路 (150) は、前記デジタルデータの  $n$  ビット (D 0-D 5) にそれぞれ対応して設けられる  $n$  個の調整ユニットを含み、

5 前記  $n$  個の調整ユニットは、

前記出力電流の供給に先立って、第1から第  $n$  の電圧 ( $V_0-V_5$ ) によってそれぞれ充電される  $n$  個のキャパシタ ( $C_0-C_5$ ) と、

前記  $n$  個のキャパシタと前記電流出力ノード (DL) との間にそれぞれ設けられた  $n$  個のスイッチ素子 (170-175) とをそれぞれ有し、

10 前記  $n$  個のスイッチの各々は、前記電流供給時に、前記デジタルデータの対応の1ビットに応じてオンまたはオフする、請求の範囲第4項に記載の電流供給回路。

6. 前記電流供給時において、前記電流出力ノード (DL) の電圧は、前記電流駆動素子 (23) の特性に依存して、前記出力電流のレベルに応じた定常電圧 ( $V_{st}$ ) へ整定し、

15 前記所定電圧 ( $V_{bf}$ )、前記第1から第  $n$  の電圧 ( $V_0-V_5$ ) および前記  $n$  個のキャパシタの容量値 ( $C_0-C_5$ ) は、前記デジタルデータの  $n$  ビットの組合せの少なくとも一部のそれぞれにおける、前記  $n$  ビットに対応した前記  $n$  個のスイッチ素子 (170-175) の少なくとも一部のオン前後での、前記定常電圧を反映した電荷保存則に基づいて設計される、請求の範囲第5項に記載の電流供給回路。

7. 前記電流制御回路 (110) は、前記デジタルデータの  $n$  ビット (D 0-D 5) にそれぞれ対応して設けられ、かつ、前記電流出力ノード (DL) に対して並列に接続された  $n$  個の定電流源 (120-125) を含み、

25 前記  $n$  個の定電流源は、前記  $n$  ビットにそれぞれ応じて、第1から第  $n$  の電流 ( $I_1, I_2, I_4, I_8, I_{32}$ ) を前記第2の電源ノード (12) および前記電流出力ノードの間に生じさせる、請求の範囲第1項に記載の電流供給回路。

8. 前記第1から第  $n$  の電流 ( $I_1, I_2, I_4, I_8, I_{32}$ ) は、前記デジタルデータの  $n$  ビット (D 0-D 5) の所定の重み付けに応じて、2の累乗に

従って段階的に設定される、請求の範囲第7項に記載の電流供給回路。

9.  $n$ ビット ( $n: 2$ 以上の整数) のデジタルデータ ( $D0-D5$ ) に応じた出力電流を供給する電流供給回路 (100#) であって、

5 電流供給時に、電流駆動素子 (23) を介して第1の電源ノード (11) と電氣的に接続される電流出力ノード (DL) と、

第2の電源ノード (12) および前記電流出力ノードの間に設けられ、前記デジタルデータを受けて、前記電流供給時に前記第1および第2の電源ノード間に前記電流データ線を含んで形成される電流経路の電流量を前記デジタルデータに応じて制御するための電流制御回路 (110) と、

10 前記デジタルデータを受けて、前記電流供給に先立って、前記電流出力ノードの電圧を前記デジタルデータに応じた電圧へ近づけるための電圧調整回路 (140, 150) とを備える、電流供給回路。

10. 前記電流供給時において、前記電流出力ノード (DL) の電圧は、前記電流駆動素子 (23) の特性に依存して、前記出力電流のレベルに応じた定常電圧 ( $V_{st}$ ) へ整定し、

前記電圧調整回路 (140, 150) は、

第1の期間 ( $t0-ta$ ) に、前記電流出力ノードを所定電圧 ( $V_{bf}$ ) にプリチャージするプリチャージ回路 (140) と、

20 前記第1の期間よりも後に設けられる第2の期間 ( $ta-t1$ ) に、前記電流出力ノード (DL) の電圧を前記定常電圧へ近づけるように、前記電流出力ノードとの間で前記デジタルデータ ( $D0-D5$ ) に応じた電荷の授受を行なうプリチャージ調整回路とを含む、請求の範囲第9項に記載の電流供給回路。

11.  $n$ ビット ( $n: 2$ 以上の整数) の画像データ ( $D0-D5$ ) に応じた階調表示を行なう表示装置 (10) であって、

25 前記画像データに応じた表示電流を供給する電流供給回路 (100) と、

各々が、供給された電流に応じた輝度を発する電流駆動型発光素子 (21) と、前記電流駆動型発光素子に前記表示電流に応じた電流を供給するための画素駆動回路 (22) とを含む複数の画素回路 (20) と、

前記電流供給回路が供給する前記表示電流を前記複数の画素回路へ伝達するた

めの電流データ線 (DL) とを備え、

前記画素駆動回路は、前記表示電流の伝達を受ける所定期間に、前記電流データ線および第1の電源ノード (11) の間に接続される電流駆動素子 (23) を有し、かつ、前記所定期間に伝達された前記表示電流に応じた電流を前記電流駆動型発光素子へ供給し、

前記電流供給回路は、

第2の電源ノード (12) および前記電流データ線の間に設けられ、前記画像データを受けて、前記表示電流の供給時に前記第1および第2の電源ノード間に前記電流データ線を含んで形成される電流経路の電流量を前記画像データに応じて制御するための電流制御回路 (110) と、

前記画像データを受けて、前記表示電流の供給開始後に、前記電流データ線に前記画像データに応じた電圧変化を強制的に生じさせるための電圧調整回路 (140, 150) とを含む、表示装置。

12. 前記電流制御回路 (110) は、前記画像データのnビット (D0-D5) に対応してそれぞれ設けられ、前記電流データ線に並列に接続されたn個の定電流源 (120-125) を含み、

前記n個の定電流源は、前記nビットにそれぞれ応じて、第1から第nの電流 ( $I_1$ ,  $I_2$ ,  $I_4$ ,  $I_8$ ,  $I_{16}$ ,  $I_{32}$ ) を前記電流データ線に生じさせる、請求の範囲第11項に記載の表示装置。

13. 前記表示電流の供給時において、前記電流データ線 (DL) の電圧は、前記電流駆動素子 (23) の特性に依存して、前記表示電流のレベルに応じた定常電圧 ( $V_{st}$ ) へ整定し、

前記電圧調整回路 (140, 150) は、

前記表示電流の供給に先立って、前記電流データ線を所定電圧 ( $V_{bf}$ ) にプリチャージするプリチャージ回路 (140) と、

前記表示電流の供給開始時より、前記電流データ線の電圧を前記定常電圧へ近づけるように、前記電流データ線との間で前記画像データに応じた電荷の授受を行なうプリチャージ調整回路 (150) とを含む、請求の範囲第11項に記載の表示装置。



14. 前記プリチャージ調整回路(150)は、前記画像データのnビット(D0-D5)にそれぞれ対応して設けられるn個のプリチャージ調整ユニットを含み、

前記n個のプリチャージ調整ユニットは、

5 前記表示電流の供給に先立って、第1から第nの電圧(V0-V5)によってそれぞれ充電されるn個のキャパシタ(C0-C5)と、

前記n個のキャパシタと前記電流データ線(DL)との間にそれぞれ設けられたn個のスイッチ素子(170-175)とをそれぞれ有し、

10 前記n個のスイッチの各々は、前記表示電流の供給時に、前記画像データの対応の1ビットに応じてオンまたはオフする、請求の範囲第13項に記載の表示装置。

FIG.1

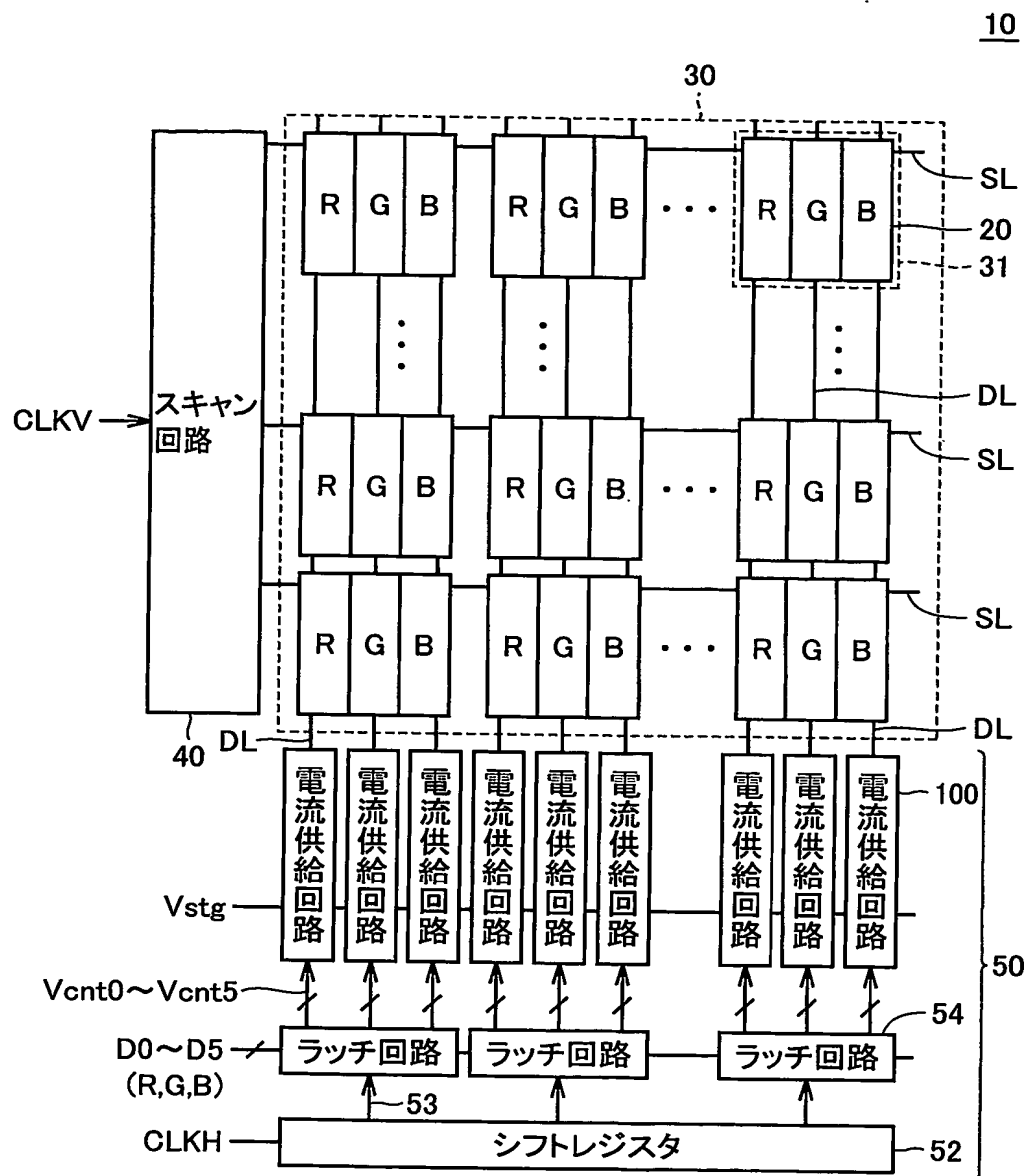


FIG.2

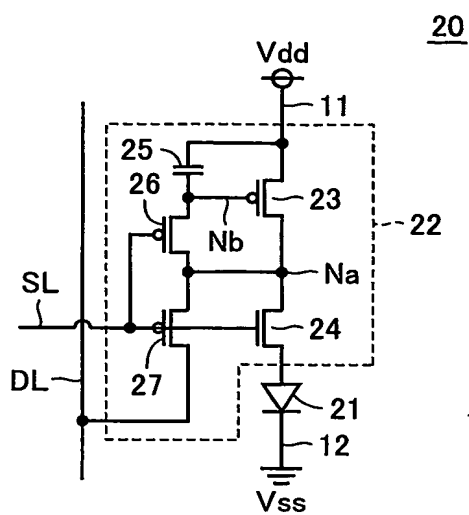


FIG.3

100

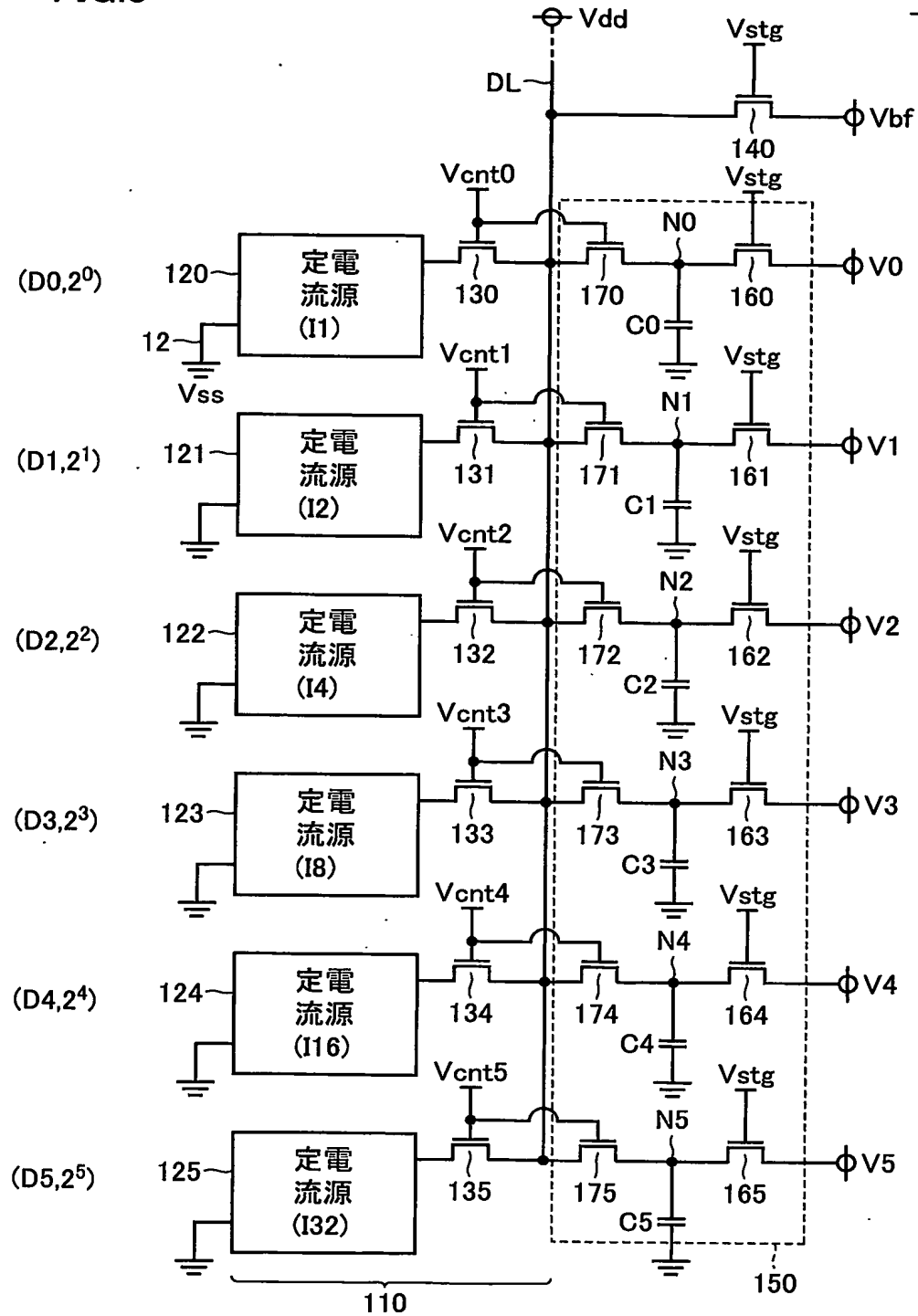


FIG.4

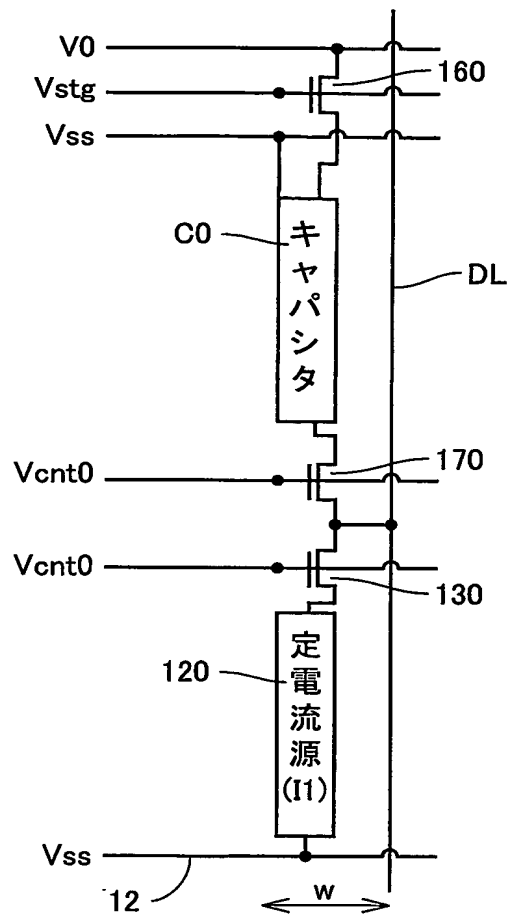


FIG.5

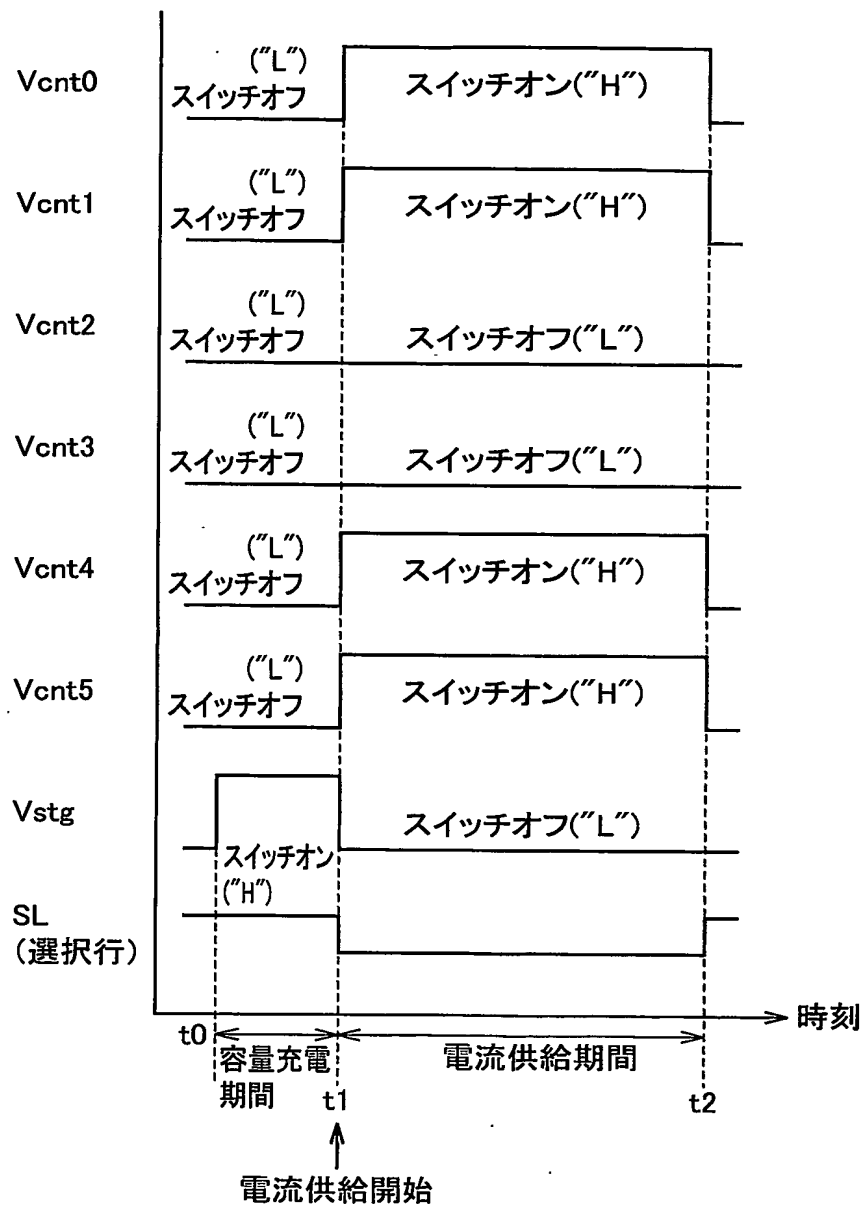


FIG.6

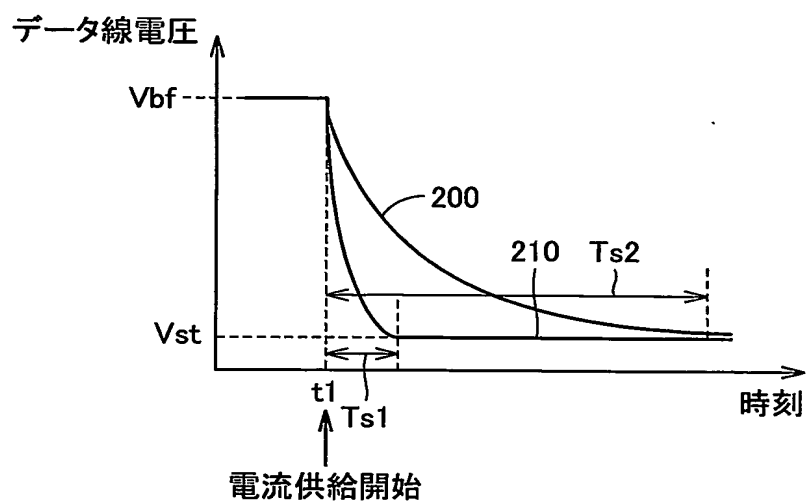


FIG.7

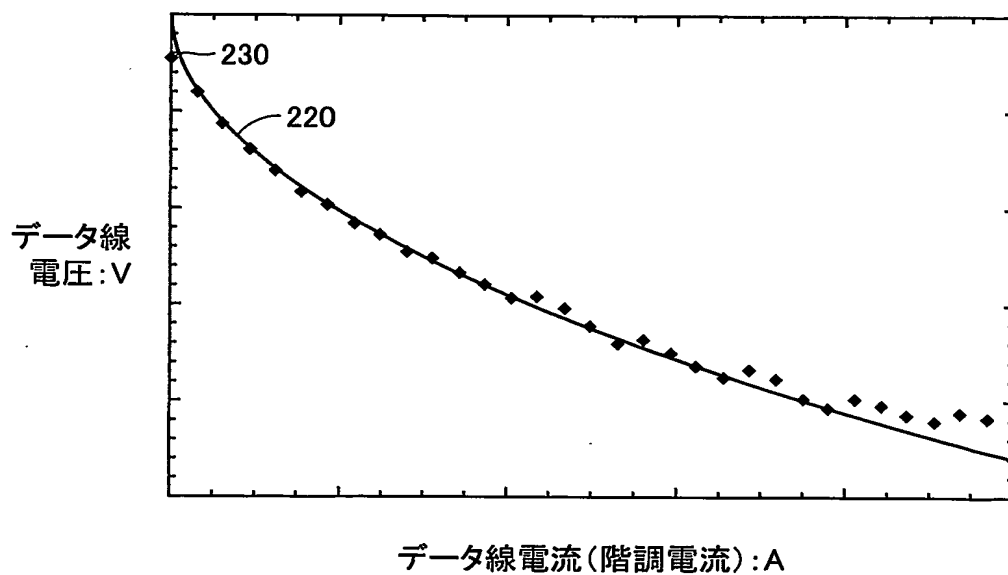


FIG.8

100#

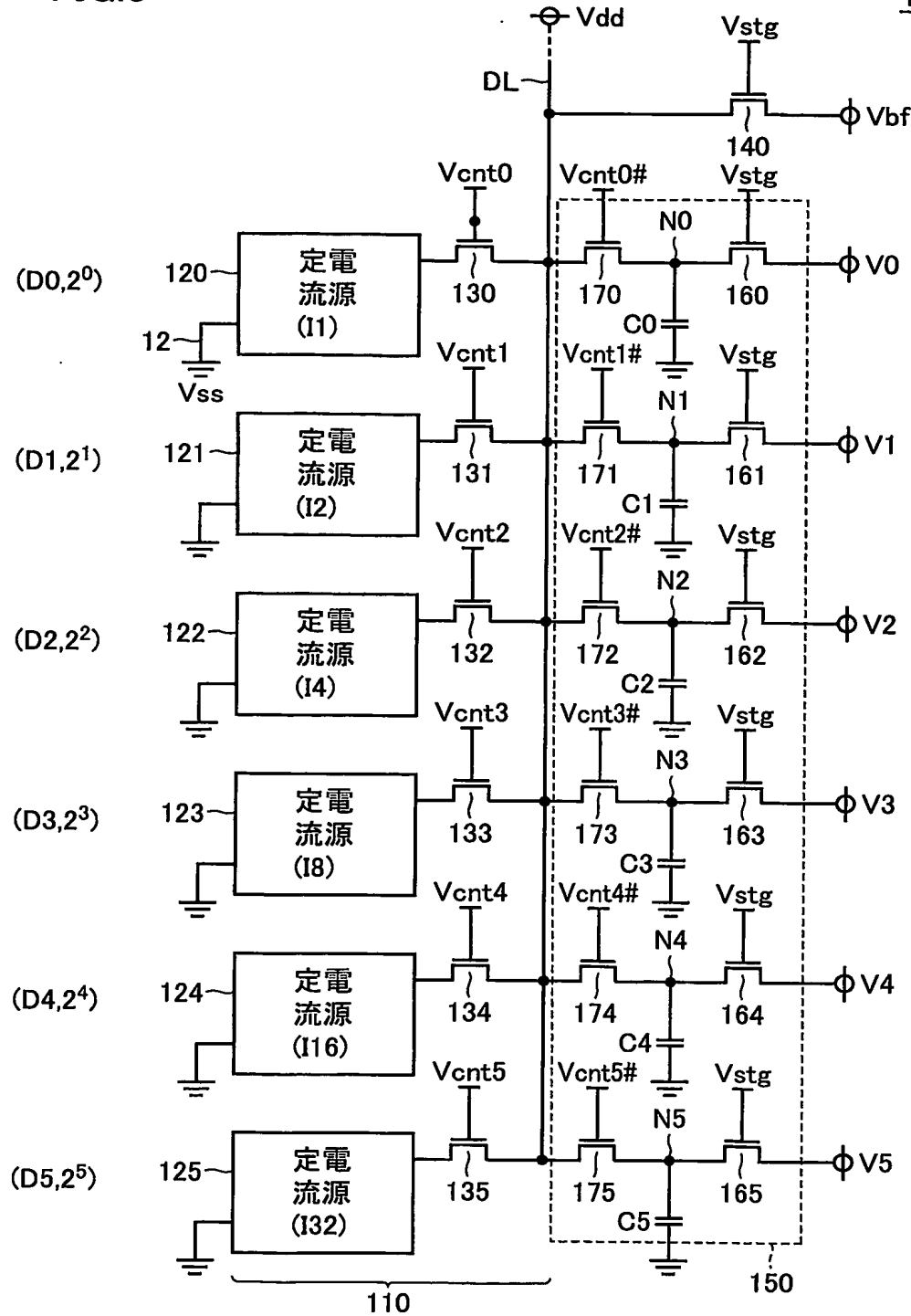
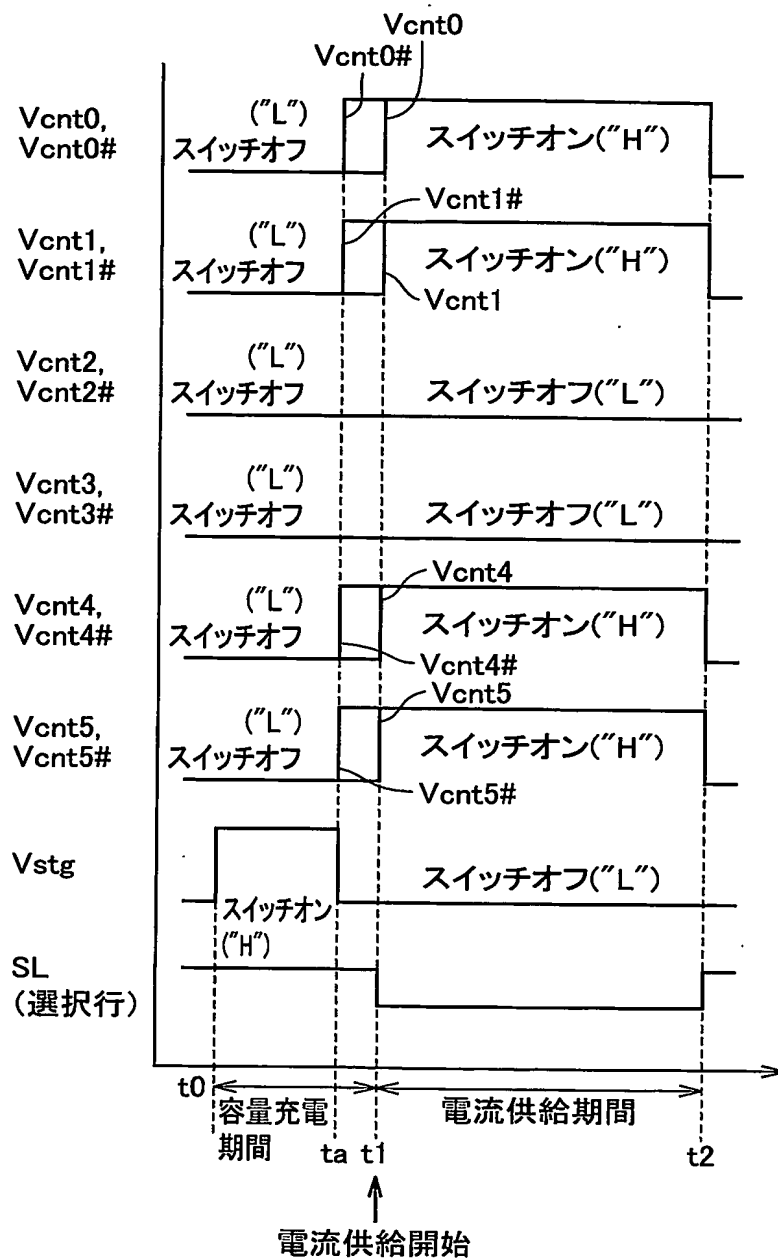




FIG.9



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007244

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G09G3/20, G09G3/30

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/20, G09G3/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-114644 A (Matsushita Electric Industrial Co., Ltd.), 18 April, 2003 (18.04.03), Par. Nos. [0069] to [0074]; Figs. 14 to 15 Par. Nos. [0069] to [0074]; Figs. 14 to 15 (Family: none)	1-3, 9, 11 4-8, 10, 12-14
X Y	JP 2003-150104 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2003 (23.05.03), Par. Nos. [1502] to [1516]; Figs. 351 to 354 Par. Nos. [1502] to [1516]; Figs. 351 to 354 (Family: none)	1-4, 7-13 4-8, 10-14

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
20 August, 2004 (20.08.04)Date of mailing of the international search report  
07 September, 2004 (07.09.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007244

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-337910 A (Seiko Epson Corp.), 10 December, 1999 (10.12.99), Par. Nos. [0113] to [0276]; Figs. 1 to 32 & US 6307681 B1	4, 10
Y	JP 8-286639 A (Sony Corp.), 01 November, 1996 (01.11.96), Par. Nos. [0005] to [0016]; Figs. 1 to 5 & EP 737957 A1 & US 5959600 A1	4, 10
Y	JP 11-311804 A (Matsushita Electric Industrial Co., Ltd.), 09 November, 1999 (09.11.99), Par. No. [0049]; Fig. 11 (Family: none)	5-6, 14
Y	JP 11-242207 A (Sony Corp.), 07 September, 1999 (07.09.99), Par. Nos. [0107] to [0115]; Fig. 4 & EP 926654 A1 & KR 99063560 A & US 2002/067328 A1	6
Y	JP 2003-114645 A (Seiko Epson Corp.), 18 April, 2003 (18.04.03), Par. No. [0107] & CN 1427385 A & EP 1282104 A1 & KR 2003013273 A & US 2003/030602 A1	1-14
P, X	JP 2004-117921 A (Toshiba Matsushita Display Technology Kabushiki Kaisha), 15 April, 2004 (15.04.04), Par. Nos. [0637] to [0667]; Figs. 70 to 75, 79 (Family: none)	1-3, 9, 11
P, X	JP 2003-177709 A (Seiko Epson Corp.), 27 June, 2003 (27.06.03), Par. Nos. [0063] to [0067]; Figs. 13 to 14 & CN 1426041 A & EP 1321922 A2 & KR 2003048358 A & US 2003/122745 A1	1-3, 9, 11
A	JP 11-219146 A (Mitsubishi Chemical Corp., et al.), 10 August, 1999 (10.08.99), Par. Nos. [0092] to [0152] & EP 905673 A1 & US 6229508 B1	1-14
A	JP 2001-296837 A (Toray Industries, Inc.), 26 October, 2001 (26.10.01), Par. Nos. [0028] to [0031]; Fig. 1 (Family: none)	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl. G09G3/20, G09G3/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl. G09G3/20, G09G3/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-114644 A (松下電器産業株式会社) 2003.04.18 段落番号【0069】-【0074】、図14-15	1-3, 9, 11
Y	段落番号【0069】-【0074】、図14-15 (ファミリーなし)	4-8, 10, 12-14
X	JP 2003-150104 A (松下電器産業株式会社) 2003.05.23 段落番号【1502】-【1516】、図351-354	1-4, 7-13
Y	段落番号【1502】-【1516】、図351-354 (ファミリーなし)	4-8, 10-14

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日  
20.08.2004

国際調査報告の発送日  
07.9.2004

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 橋本 直明	2G	9707
電話番号 03-3581-1101	内線	3225

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 11-337910 A (セイコーエプソン株式会社) 1999. 12. 10 段落番号【0113】-【0276】, 図1-32 &US 6307681 B1	4, 10
Y	J P 8-286639 A (ソニー株式会社) 1996. 11. 01 段落番号【0005】-【0016】, 図1-5 &EP 737957 A1 &US 5959600 A1	4, 10
Y	J P 11-311804 A (松下電器産業株式会社) 1999. 11. 09 段落番号【0049】, 図11 (ファミリーなし)	5-6, 14
Y	J P 11-242207 A (ソニー株式会社) 1999. 09. 07 段落番号【0107】-【0115】, 図4 &EP 926654 A1 &KR 99063560 A &US 2002/067328 A1	6
Y	J P 2003-114645 A (セイコーエプソン株式会社) 2003. 04. 18, 段落番号【0107】 &CN 1427385 A &EP 1282104 A1 &KR 2003013273 A &US 2003/030602 A1	1-14
P, X	J P 2004-117921 A (東芝松下ディスプレイテクノ ロジー株式会社), 2004. 04. 15 段落番号【0637】-【0667】及び図70-75, 79 (ファミリーなし)	1-3, 9, 11
P, X	J P 2003-177709 A (セイコーエプソン株式会社) 2003. 06. 27 段落番号【0063】-【0067】, 図13-14 &CN 1426041 A &EP 1321922 A2 &KR 2003048358 A &US 2003/122745 A1	1-3, 9, 11
A	J P 11-219146 A (三菱化学株式会社ほか1名) 1999. 08. 10, 段落番号【0092】-【0152】 &EP 905673 A1 &US 6229508 B1	1-14
A	J P 2001-296837 A (東レ株式会社) 2001. 10. 26 段落番号【0028】-【0031】, 図1 (ファミリーなし)	1-14